

Einführung in die Technische Informatik

WS 2010/2011

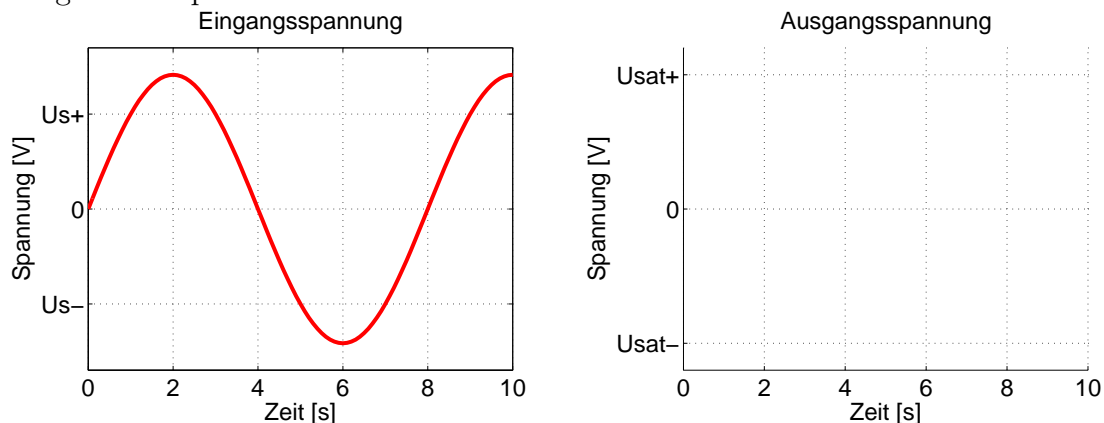
Blatt 13: Musterlösung

ACHTUNG: Die Musterlösung ist ein zusätzliches Serviceangebot. Sie erhebt weder Anspruch auf Vollständigkeit noch auf Korrektheit.

Aufgabe 1: (★) Operationsverstärker - Grundsaltungen

Aufgabe 2: (★) Operationsverstärker - Schmitt-Trigger

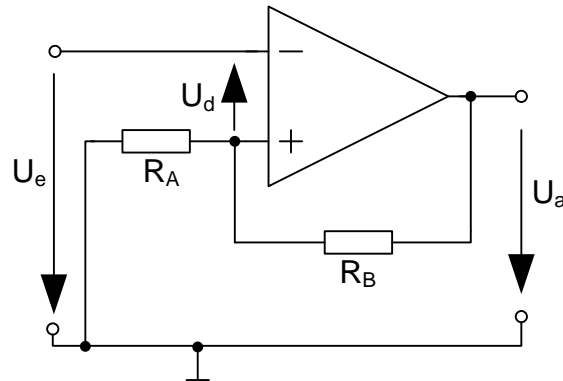
- a) Skizzieren Sie die Verschaltung eines invertierenden Schmitt-Triggers und geben Sie den Zusammenhang für die Ausgangsspannung an.
- b) Gegeben sei die folgende Eingangsspannung. Skizzieren Sie die resultierende Ausgangsspannung. Die Spannungspegel U_{S+} bzw. U_{S-} sind die Schwellenspannungen der Schmitt-Trigger Schaltung und die Spannungspegel U_{Sat+} bzw. U_{Sat-} sind die Sättigungsspannungen des Operationsverstärkers.



- c) Wie muss die Schaltung verändert werden, um einen nichtinvertierenden Schmitt-Trigger zu erhalten? Skizzieren Sie die neue Schaltung und geben Sie den neuen Zusammenhang für die Ausgangsspannung an.

Lösungsvorschlag

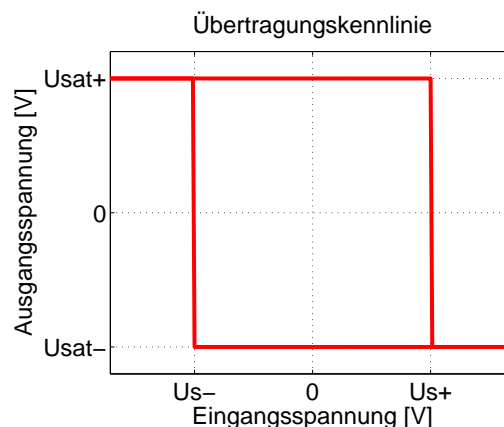
a) Betrachte



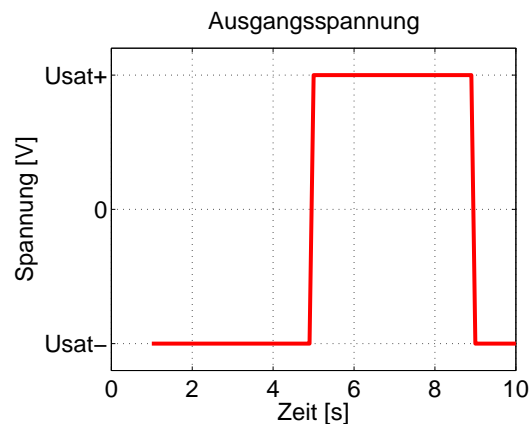
Bei einer Mitkopplung wird die Differenzspannung zwischen beiden Eingängen des Operationsverstärkers nicht auf Null geregelt, sondern zusätzlich erhöht. Ein Schmitt-Trigger weist nur zwei stabile Zustände auf. Am Ausgang liegt entweder die positive Sättigungsspannung U_{sat+} oder die negative Sättigungsspannung U_{sat-} an. Bei einer Realisierung durch einen Operationsverstärker entsprechen diese Spannungen der positiven bzw. negativen Betriebsspannung (U_{CC} bzw. U_{EE}). Liegt am Ausgang die Spannung U_{sat+} vor, kippt diese auf U_{sat-} , sobald die Eingangsspannung den Wert U_{S+} überschreitet. Entsprechend kippt bei vorliegender Ausgangsspannung von U_{sat-} auf U_{sat+} , wenn die Eingangsspannung den Wert U_{S-} unterschreitet. Die beiden Schaltspannungen sind definiert zu:

$$U_{S-} = \frac{R_A}{R_A + R_B} \cdot U_{sat-} \quad \text{bzw.} \quad U_{S+} = \frac{R_A}{R_A + R_B} \cdot U_{sat+}$$

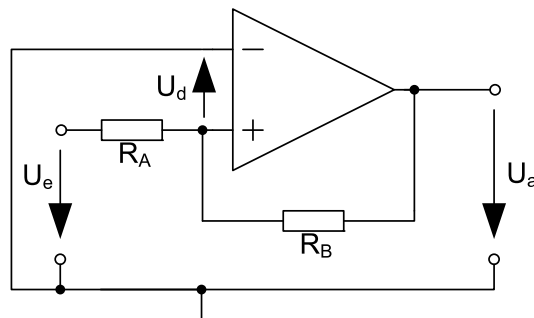
Damit ergibt sich für die resultierende Übertragungskennlinie:



- b) Da für den Ursprungszustand keine Aussage gemacht werden kann, ist es nicht möglich zu sagen, wie die Ausgangsspannung im Zeitraum von 0 s bis 1 s ist.



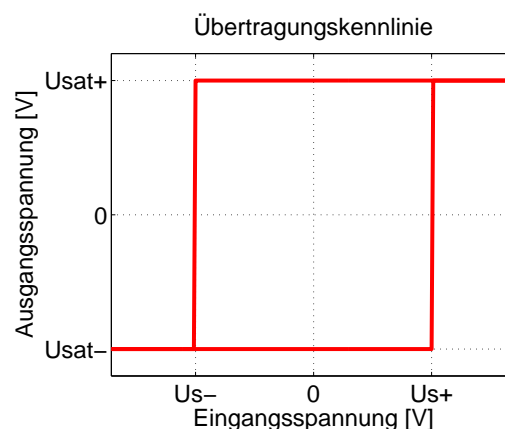
- c) Betrachte



Analog zum invertierenden Schmitt-Trigger schaltet der nichtinvertierende Schmitt-Trigger nur an definierten Schwellenwerten (in Hysterese). Der Unterschied ist jedoch, dass im vorliegenden Fall beim Überschreiten von U_{S+} am Ausgang U_{sat+} anliegt bzw. beim Unterschreiten von U_{S-} am Ausgang U_{sat-} anliegt. Die beiden Schaltspannungen sind definiert zu:

$$U_{S-} = -\frac{R_A}{R_B} \cdot U_{sat+} \text{ bzw. } U_{S+} = -\frac{R_A}{R_B} \cdot U_{sat-}$$

Damit ergibt sich die resultierende Übertragungskennlinie:

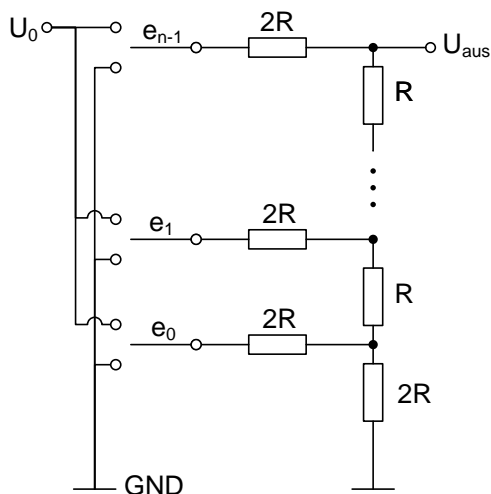


Aufgabe 3: (★) Digital/Analog-Wandler - R/2R-Netzwerk

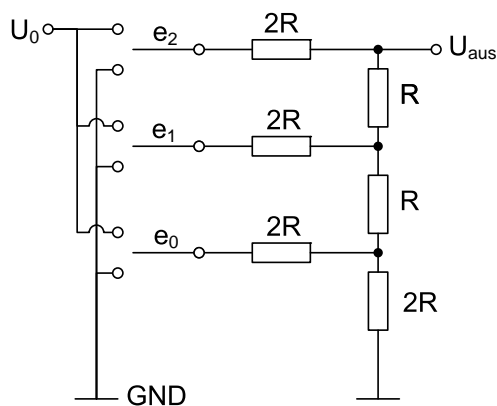
- Skizzieren Sie den prinzipiellen Aufbau eines R/2R-Netzwerkes (generell für n Bit).
- Skizzieren Sie ein R/2R-Netzwerk mit einem 3 Bit breiten Eingangswort.
- Wie groß ist die minimale und maximale Ausgangsspannung des Widerstandsnetzwerkes aus b)? Die Eingangsspannung betrage 5 V.
- Errechnen Sie die Ausgangsspannung des im vorhergehenden Aufgabenpunkt aufgestellten Widerstandsnetzwerkes für das Eingangswort $E = (110)_2$.
- Realisieren Sie die Schaltung aus Aufgabenunterpunkt b) mit nur einer Art von Widerständen. Sie haben also nur Widerstände mit dem Wert R zur Verfügung, von diesen aber beliebig viele.

Lösungsvorschlag

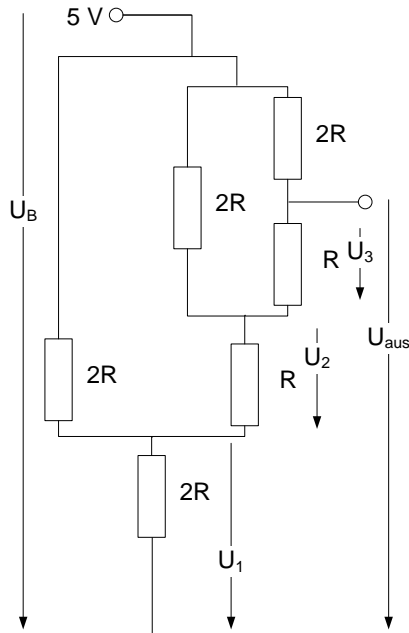
- Ein R/2R-Netzwerk mit n Bit ist z. B. wie folgt aufgebaut:



- Ein R/2R-Netzwerk mit 3 Bit ist z. B. wie folgt aufgebaut:



- c) Die minimale Ausgangsspannung dieses Widerstandsnetzwerkes wird für das Eingangswort $E_{\min} = (0, 0, 0)$ erreicht. In diesem Fall sind alle Widerstände mit GND verbunden, weshalb die Ausgangsspannung dann auch gleich GND (also 0 V) ist. Die maximale Ausgangsspannung stellt sich für das Eingangswort $E_{\max} = (1, 1, 1)$ ein. In diesem Fall ergibt sich die folgende Schaltung:



Für die gesamte Schaltung gilt dann

$$R_{\text{ges}} = (((2R + 1R) \parallel 2R) + 1R) \parallel 2R + 2R = \left(\frac{11}{5}R \parallel 2R\right) + 2R = \frac{22}{21}R + 2R = \frac{64}{21}R.$$

Für die Spannungen U_1 bis U_3 gilt:

$$U_1 = U_B \cdot \frac{2R}{R_{\text{ges}}} = 5V \cdot \frac{21}{32} = 3.28125V$$

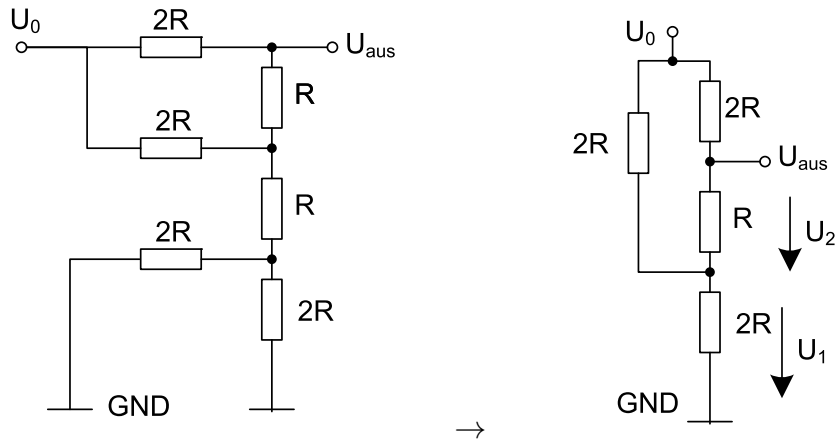
$$U_2 = (U_B - U_1) \cdot \frac{1R}{\frac{11}{5}R} = 1.71875V \cdot \frac{5}{11} = 0.78125V$$

$$U_3 = (U_B - U_1 - U_2) \cdot \frac{1R}{3R} = 0.9375V \cdot \frac{1}{3} = 0.3125V$$

Daraus folgt für U_a :

$$U_a = U_1 + U_2 + U_3 = 3.28125V + 0.78125V + 0.3125V = \frac{7}{8} \cdot U_B = 4.375V$$

- d) Die Schaltung lässt sich zunächst durch die Parallelschaltung der beiden Widerstände gegen GND vereinfachen zu:



Für die gesamte Schaltung gilt dann

$$R_{\text{ges}} = ((2R + 1R) \parallel 2R) + 2R = (3R \parallel 2R) + 2R = \frac{6}{5}R + 2R = \frac{16}{5}R$$

Für die Spannungen U_1 bis U_2 gilt:

$$U_1 = U_0 \cdot \frac{2R}{R_{\text{ges}}} = U_0 \cdot \frac{2R}{\frac{16}{5}R} = 5V \cdot \frac{5}{8} = 3.125V$$

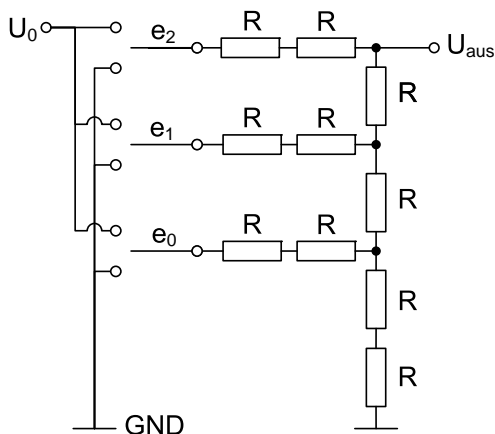
$$U_2 = (U_0 - U_1) \cdot \frac{1R}{3R} = 1.875V \cdot \frac{1}{3} = 0.625V$$

Daraus folgt für U_{aus} :

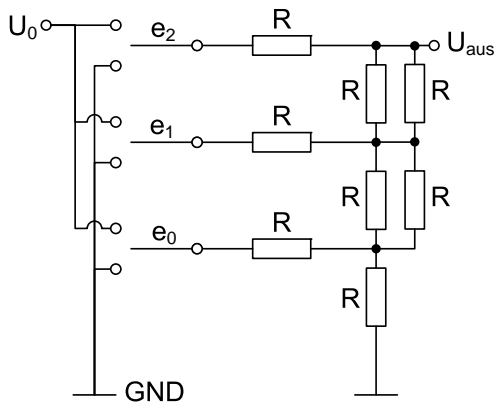
$$U_{\text{aus}} = U_1 + U_2 = 3.125V + 0.625V = \frac{6}{8} \cdot U_0 = 3.75V$$

- e) Ein R/2R Netzwerk kann z. B. durch eine der beiden folgenden Schaltungen mit nur einer Art (Größe) von Widerständen konstruiert werden. Diese Bauart hat den Vorteil, dass Abweichungen innerhalb der Fertigungstoleranzen kaum auswirken, wenn diese innerhalb der selben Produktionscharge gleichmäßig sind.

Möglichkeit 1:



Möglichkeit 2:

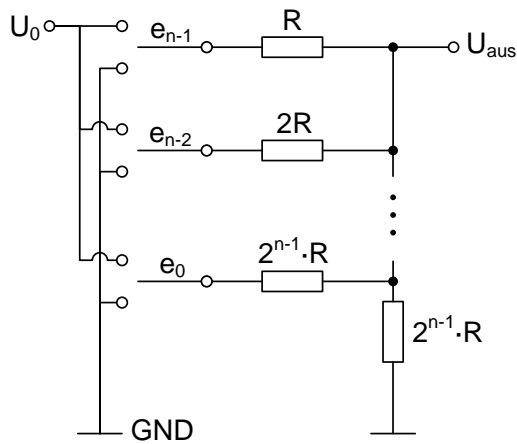


Aufgabe 4: (★) Digital/Analog-Wandler - binär gewichtetes Widerstandsnetzwerk

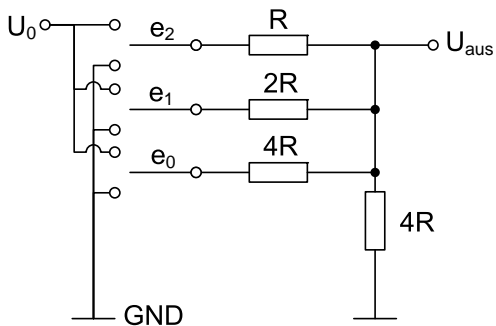
- Skizzieren Sie den prinzipiellen Aufbau eines binär gewichteten Widerstandsnetzwerks (generell für n Bit).
- Skizzieren Sie ein binär gewichtetes Widerstandsnetzwerk mit einem 3 Bit breiten Eingangswort.
- Wie groß ist die minimale und maximale Ausgangsspannung des Widerstandsnetzwerkes aus b)? Die Eingangsspannung betrage 5 V.
- Errechnen Sie die Ausgangsspannung des im vorhergehenden Aufgabenpunkt aufgestellten Widerstandsnetzwerks für das Eingangswort $E = (011)_2$.
- Realisieren Sie die Schaltung aus Aufgabenunterpunkt b) mit nur einer Art von Widerständen. Sie haben also nur Widerstände mit dem Wert R zur Verfügung, von diesen aber beliebig viele.

Lösungsvorschlag

- Ein binär gewichtetes Widerstandsnetzwerk mit n Bit ist z. B. wie folgt aufgebaut:

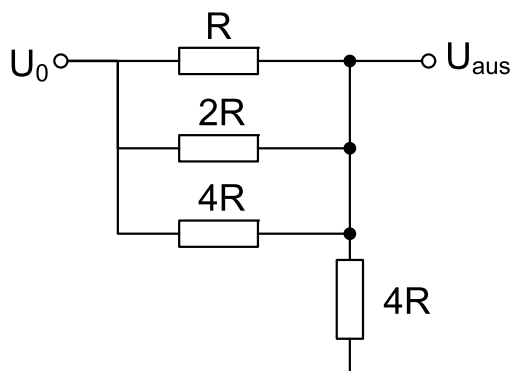


b) Ein binär gewichtetes Widerstandsnetzwerk mit 3 Bit ist z. B. wie folgt aufgebaut:



c) Die minimale Ausgangsspannung dieses Widerstandsnetzwerkes wird für das Eingangswort $E_{\min} = (0, 0, 0)$ erreicht. In diesem Fall sind alle Widerstände mit GND verbunden, weshalb die Ausgangsspannung gleich GND (also 0 V) ist.

Die maximale Ausgangsspannung stellt sich für das Eingangswort $E_{\max} = (1, 1, 1)$ ein. In diesem Fall ergibt sich die folgende Schaltung:

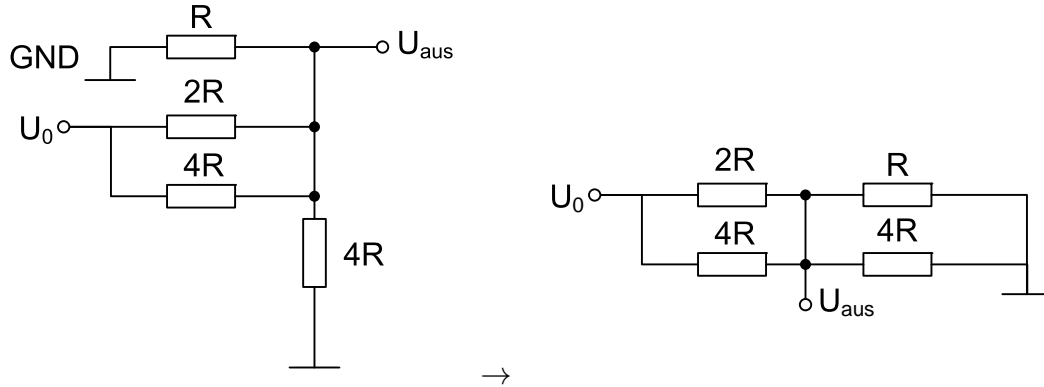


Die Parallelschaltung der Widerstände $1R$, $2R$ und $4R$ lässt sich zu einem Widerstand des Wertes $\frac{4}{7}R$ zusammenfassen. Damit ergibt sich ein Spannungsteiler mit $\frac{4}{7}R$ und $4R$.

Die Spannung U_{aus} hat somit den Wert:

$$U_{aus} = U_0 \cdot \frac{4R}{\frac{4}{7}R + 4R} = U_0 \cdot \frac{28}{32} = 5\text{ V} \cdot \frac{7}{8} = 4.375\text{ V}$$

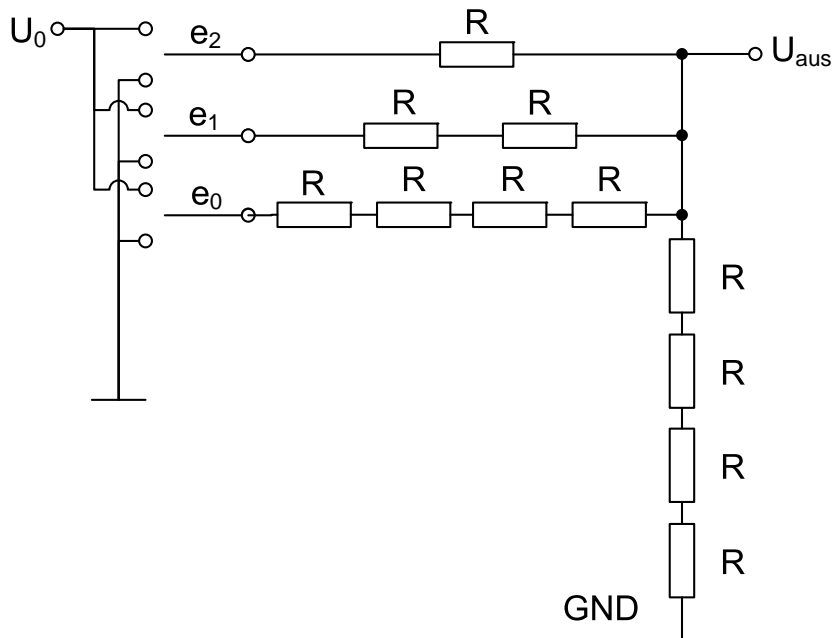
d) Die Schaltung lässt sich zu zwei Parallelschaltungen vereinfachen:



Für die gesamte Schaltung gilt dann

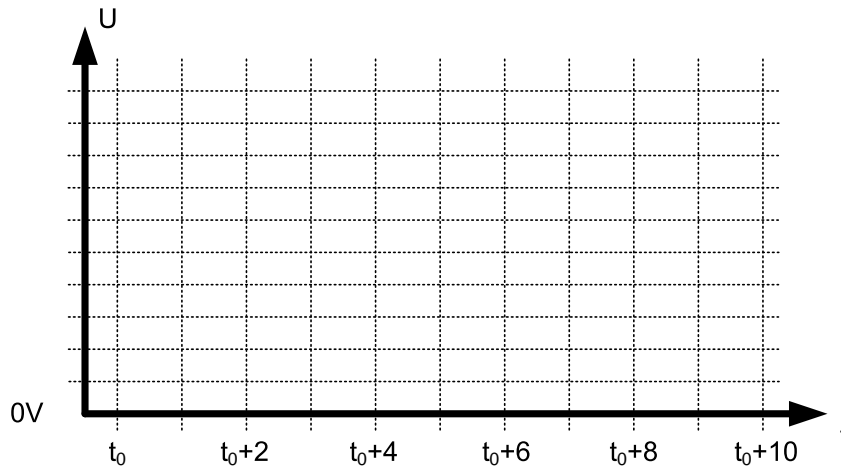
$$U_{aus} = U_0 \cdot \frac{1R \parallel 4R}{(1R \parallel 4R) + (2R \parallel 4R)} = U_0 \cdot \frac{\frac{4}{5}}{\frac{4}{5} + \frac{4}{3}} = \frac{3}{8} \cdot 5\text{ V} = 1.875\text{ V}$$

e) Ein binär gewichtetes Widerstandsnetzwerk kann z. B. durch die folgende Schaltungen mit nur einer Art (Größe) von Widerständen konstruiert werden. Diese Bauart hat den Vorteil, dass Abweichungen innerhalb der Fertigungstoleranzen kaum auswirken, wenn diese innerhalb derselben Produktionscharge gleichmäßig sind.

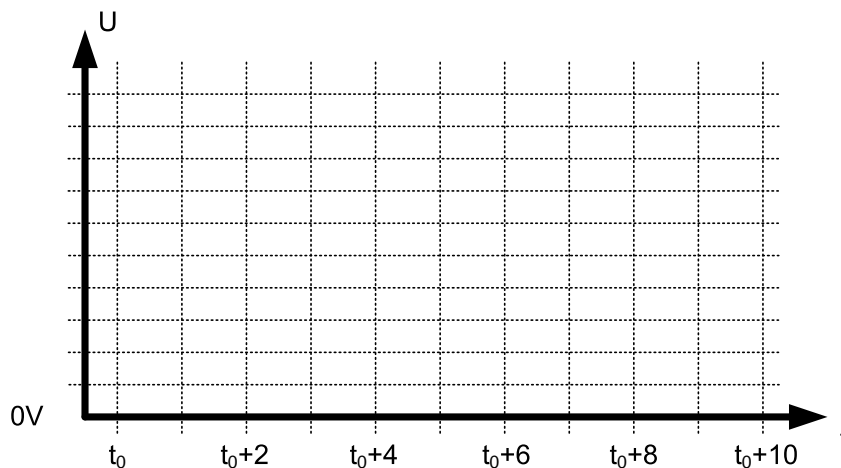


Aufgabe 5: Analog/Digital-Wandler

- a) Erläutern Sie, wie grundsätzlich eine Analog/Digital-Wandlung abläuft (ohne auf die Eigenheiten eines speziellen Verfahrens einzugehen).
- b) Erläutern Sie, wie ein Sukzessives Approximationsregister (SAR) arbeitet und skizzieren Sie grob die Verschaltung.
- c) Zeichnen Sie den Spannungsverlauf für das Beispiel des SAR für eine Wandlung einer Eingangsspannung von 4.3 V in das untenstehende Diagramm ein. Der Wandler besitzt eine Auflösung von 4 Bit und eine Versorgungsspannung von 10 V .



- d) Erläutern Sie, wie ein Tracking-Wandler (TW) arbeitet und skizzieren Sie kurz die Verschaltung.
- e) Zeichnen Sie den Spannungsverlauf am Beispiel des TW für die Wandlung einer Eingangsspannung von 4.3 V in das untenstehende Diagramm ein. Der Wandler habe eine Auflösung von 4 Bit und eine Versorgungsspannung von 10 V .



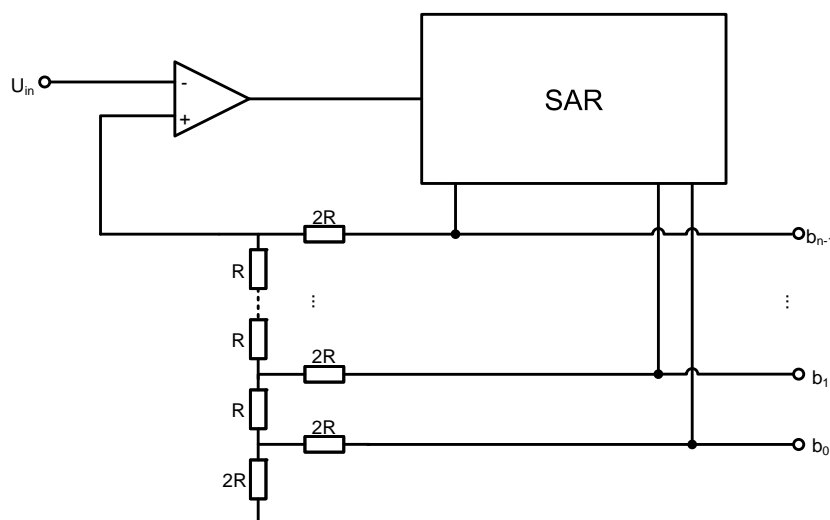
- f) Erläutern Sie kurz, was man unter dem Quantisierungsfehler versteht und geben Sie ein kurzes grafisches Beispiel dafür an.
- g) Erläutern Sie kurz, was man unter dem Offsetfehler versteht und geben Sie ein kurzes grafisches Beispiel dafür an.

- h) Wie lange darf ein einzelner Schritt einer Wandlung maximal benötigen, wenn mittels SAR ein Eingangssignal mit bis zu 44.1 kHz (Musik) und mit 16 Bit Genauigkeit (Audio-CD) digitalisiert werden soll?
- i) Wie würde sich diese Zeit verändern, wenn stattdessen ein TW genutzt würde?
- j) Sie möchten mit einer temperaturabhängigen Widerstandsschaltung die Außentemperatur messen. Das Ausgangssignal der Schaltung bei -30°C beträgt 0 V und bei 50°C beträgt die Ausgangsspannung 8 V. Die Versorgungsspannung Ihres Analog/Digital Wandlers beträgt 10 V und Sie möchten eine Auflösung von mindestens 0.1°C erhalten. Wie groß (Bitbreite) muss das Ausgangsdatenwort des Analog/Digital-Wandlers mindestens sein, um die gewünschte Auflösung zu erhalten?

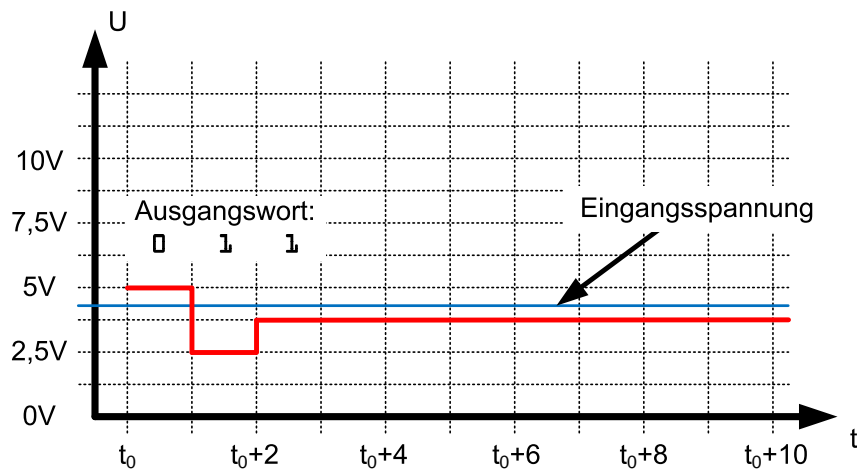
Lösungsvorschlag

- a) Bei einer Analog/Digital-Wandlung wird ein analoger Eingangswert mit Hilfe eines oder mehrerer Operationsverstärker gegen einen oder mehrere Referenzspannungen verglichen. Eine entsprechend nachgelagerte Logik kann basierend auf diesem Ergebnis direkt die analoge Spannung quantisieren oder die nächste dazu benötigte Iteration antriggern.
- b) Bei einem Sukzessive Approximationsregister (SAR) wird der analoge Eingangswert mit Hilfe eines Operationsverstärkers gegen eine Referenzspannung verglichen. Die Referenzspannung wird mit Hilfe eines Digital/Analog-Wandlers (DAC) erzeugt. Das SAR bestimmt das Eingangswort des DAC und damit die Referenzspannung. Im ersten Schritt der Wandlung wird testweise das höchstwertige Bit gesetzt. Ist die Messspannung größer, als die Referenzspannung, wird die Eins beibehalten, andernfalls wird das Bit dauerhaft auf Null zurückgesetzt. Danach wird genauso mit dem nächst niedrigeren Bit verfahren, bis alle Bits überprüft wurden. Der SAR benötigt daher immer n Schritte.

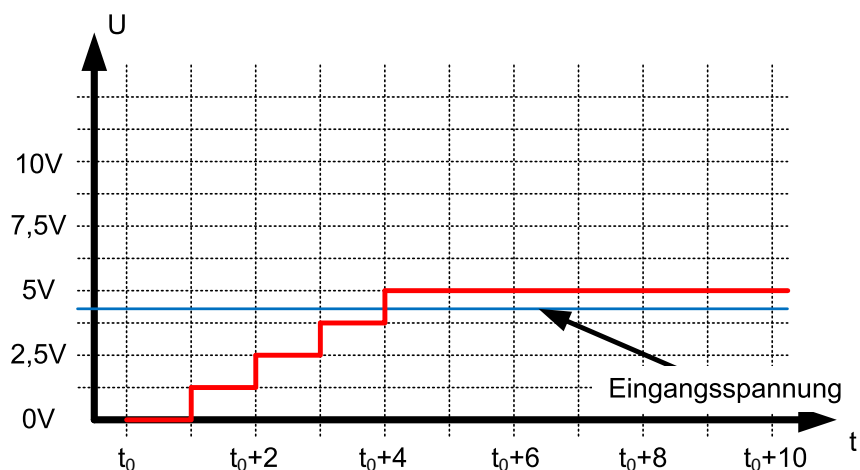
Die folgende Abbildung zeigt die prinzipielle Verschaltung eines SAR mit einem R/2R-Netzwerk als DAC:



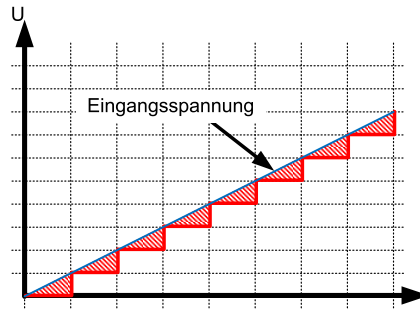
c)



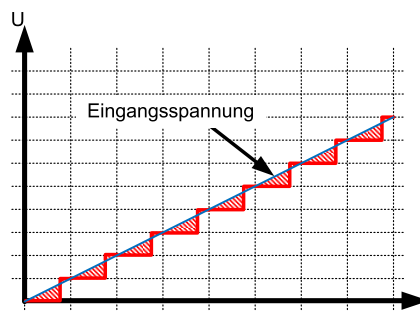
- d) Ein Tracking-Wandler agiert ähnlich zu einem SAR. Im internen Aufbau wird auch durch ein DAC eine Vergleichsspannung erzeugt, die dann auf einen OP gegeben wird. Die interne Logik arbeitet jedoch anders. Der Tracking-Wandler beginnt mit einem Startwert die erste Wandlung. Dieser Startwert kann abhängig vom zu erwartenden Signal entweder z.B. GND , $\frac{1}{2} \cdot U_0$, U_0 oder dem Wert der letzten Wandlung. Die aktuelle Vergleichsspannung (aus dem DAC) wird mit der zu messenden Spannung mit einem Komparator verglichen. Ist die Messspannung höher als die Referenzspannung, erhöht ein Up-Down-Counter eine n-Bit-Variable um Eins, andernfalls wird die Variable um Eins verringert. Die Wandlung gilt als abgeschlossen, wenn die Referenzspannung die Messspannung über- bzw. unterschritten hat. Die Wandlung benötigt damit im schlimmsten Fall 2^n Schritte.
- e)



- f) Bei der Analog/Digital-Wandlung liegen die analogen Eingangswerte meist nicht auf den diskreten Ausgangswerten. Diese Abweichung der Werte wird als Quantisierungsfehler bezeichnet. Die rot schraffierten Flächen zwischen der blauen Eingangsspannung und dem resultierenden roten digitalen Ausgangswert stellen den Quantisierungsfehler dar.



- g) Der interne Vergleichswert der Analog/Digital-Wandlung (Ausgabe der DAC) kann, durch die Art der Realisierung, zum Nullpunkt verschoben sein. Daraus ergibt sich eine Verschiebung der Quantisierungskennlinie, wie in der folgenden Grafik dargestellt:



- h) Eine n -Bit Wandlung mittels SAR benötigt n Schritte. Diese Wandlung benötigt also 16 Schritte. Die Wandlungen sollen mit einer Frequenz von mindestens 44.1 kHz ausgeführt werden. Damit ergibt sich eine Periode von maximal $\frac{1}{44.1 \cdot 10^3}$ s. Ein einzelner Schritt einer Wandlung darf also maximal $\frac{1}{44.1 \cdot 16 \cdot 10^3}$ s = $\frac{1}{705600}$ s $\approx 1.417 \mu\text{s}$ benötigen.
- i) Der Tracking-Wandler benötigt für eine n -Bit Wandlung maximal (Worst Case) 2^{n-1} Schritte. Daraus ergibt sich eine neue maximale Schrittdauer pro Wandlung von $\frac{1}{44.1 \cdot 2^{15} \cdot 10^3}$ s = $\frac{1}{1445068800}$ s ≈ 0.692 ns.
- j) Der Eingangstemperaturbereich von $50^\circ\text{C} - (-30^\circ\text{C}) = 80^\circ\text{C}$ soll mit einer Genauigkeit von 0.1°C quantisiert werden. Damit ergeben sich $\frac{80}{0.1} = 800$ Quantisierungsstufen. Diese lassen sich mit einem 10 Bit-ADC (1024 Stufen) abbilden.